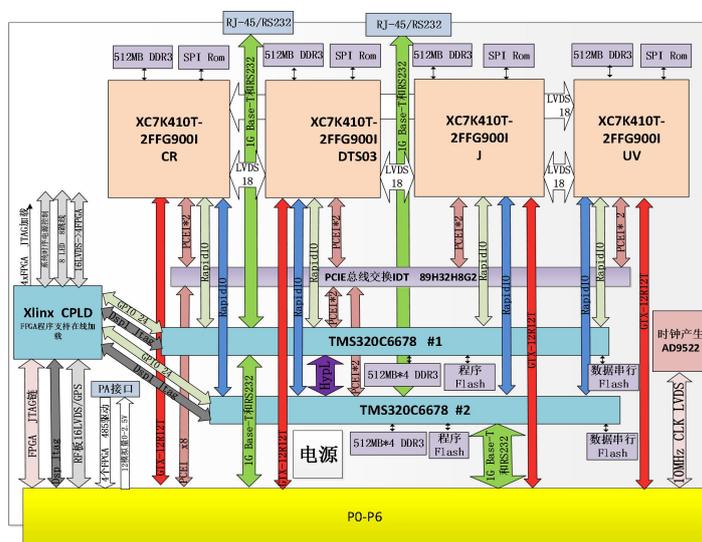


VPX 实时信号处理板

主要指标:

- VPX 6U 版型
- 2 片 TMS320C6678
- 4 片 XC7K410T
- 支持 2 路千兆以太网
- 支持 PCIe/SRIO

框图:



产品:



产品简介

1. 从 P0 供电，（主板提供输出+12V（40A），+5V（25），-12V（1 A），3.3V（15A））。
2. GTX 和 PCIE 最高速度 6.25Gbps。
3. DDR3 选用 MT41J512M8-125，一个 FPGA 一片 DDR3（512MB），一个 DSP 四片 DDR3（2GB）。
4. Fpga 的 Rom 选用可以 x4 的串行加载，DSP 和 FPGA 的 JTAG 拉到 CPLD，且在板子上放一个 FPGA 和 DSP 的 JTAG 插座。
5. 两个 DSP 和 CPLD 之间互连 24 个 IO 和 JTAG。
6. CPLD 作为系统的启动控制，所有的四个 FPGA 串行加载线和 JTAG 都连到 CPLD，可是实现 DSP 动态加载 4 片 FPGA（采用 JTAG 或者串行 rom），也可以由 4 个 SPIrom 分别加载。动态加载问题方式需要确认。
7. CPLD 负责系统电源控制和启动配置，来出 8 个 LED 指示灯和 8 个跳线，CPLD 与每个 FPGA 包含 4 对 LVDS。
8. RF 板过来的 16 对 LVDS 和 2 对 GPS 的 LVDS 连接到 CPLD。
9. 系统时钟基准采用背板提供的 10MHz LVDS 信号，时钟芯片也可以不采用 AD9522。
10. DSP 采用 TMS320C6678，串行 FLASH 用于存储系统数据，TMS320C6678#1 是主 DSP，连接千兆网口和 RS232，千兆网口可能需要 PHY 芯片和变压器，每个 DSP 都往前面板放置一个网口和 RS232，另外一个网口和 RS232 拉到底板。
11. 两片 DSP 放置两片 FLASH 存储数据。

12. FPGA 选用 XC7K410T-2FFG900I, FPGA 之间连接 18 对 LVDS (2 对 GCLK, 16 对 Data) 形成环行链。
13. PA 接口包括 4 路 RS485 差分对输出和 12 路 0-2.5V 的模拟量输入, 4 路 RS485 输出分别由 4 个 FPGA (每个 FPGA 1 路) 通过 485 驱动实现, 12 路 0-2.5V 的模拟量分别连接到 4 个 FPGA (每个 FPGA 连接 3 路模拟量) 的 ADC 采样输入 IO。
14. 2 片 DSP、4 片 FPGA、背板 (PCEIx8) 的 PCIe 分别连接到 PCIE*2 交换芯片 IDT89H24。
15. 2 片 DSP 之间采用 HyperLink 连接。
16. 4 片 FPGA 的 2 个 GTX 分别连接到每片 DSP RapidIO 。
17. 4 片 FPGA 分别连接 12 对 GTX 到底板。
18. P0-P6 的管脚定义附后。
19. FPGA 的 PCIE 和 Rapidio 在同一个 bank。
20. GTX 的一个 bank 上的两个参考钟都加上, (待讨论: 其中 PCIE 100MHz, Rapidio 125MHz, GTX 250MHz)。
21. 做系统启动控制

主要技术支持:

- DSP 开发支持 (引导程序、TCP/IP 网络通信程序、SRIO 与 FPGA 通信程序)
- FPGA 程序支持 (SRIO 程序, 时钟控制程序)
- 三个月技术服务